

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

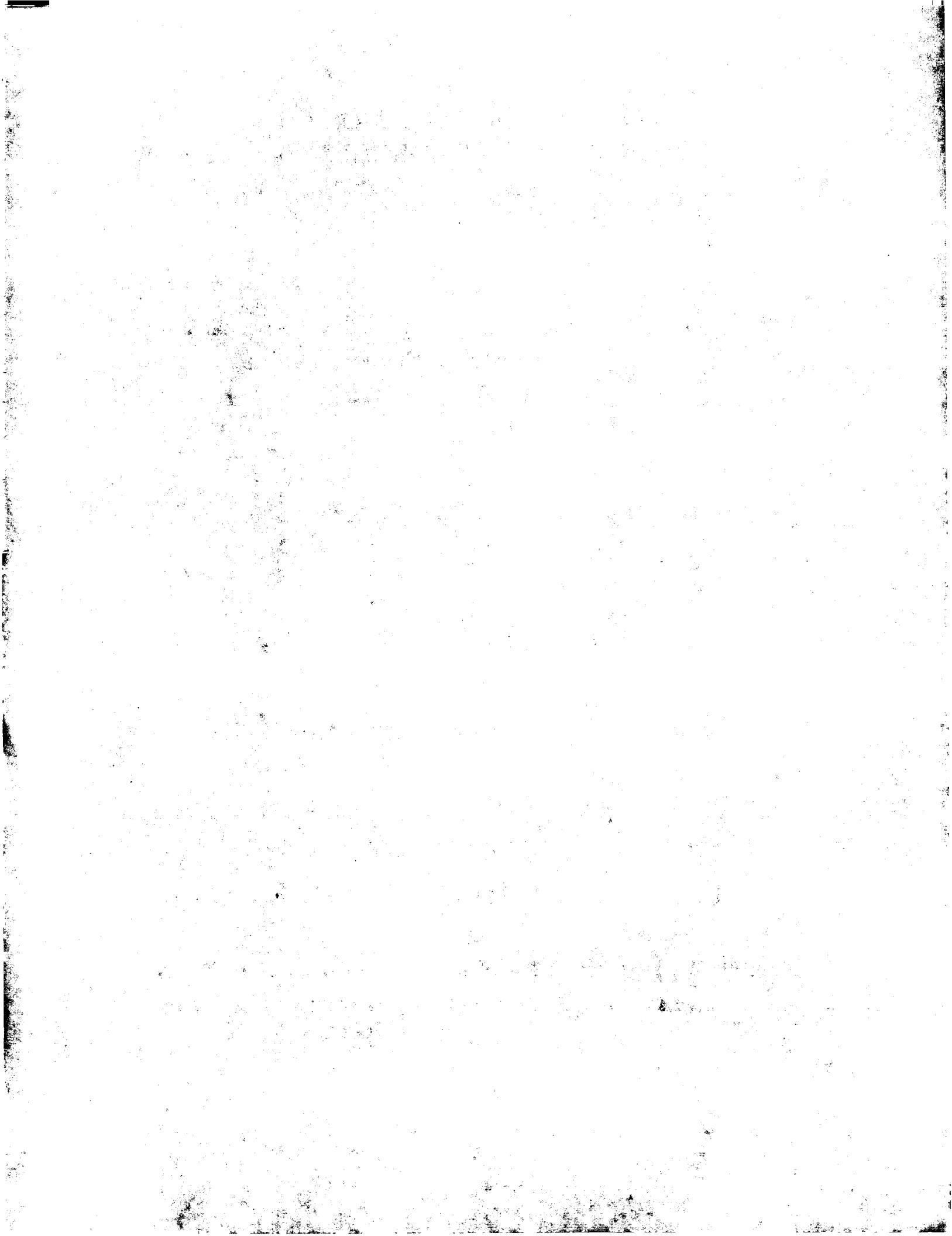
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-335998
 (43)Date of publication of application : 18.12.1998

(51)Int.Cl. H03K 17/08
 G01R 19/00

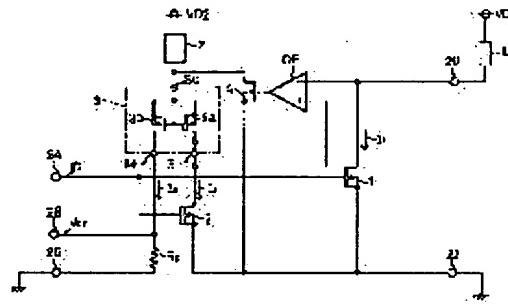
(21)Application number : 09-148058 (71)Applicant : DENSO CORP
 (22)Date of filing : 05.06.1997 (72)Inventor : HAYAKAWA JUNJI
 NAGATA JUNICHI

(54) CURRENT-DETECTING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a current-detecting circuit which can detect currents with high accuracy and can be designed easily.

SOLUTION: A current-detecting circuit is provided with an output transistor 1, the source of which is grounded and the drain of which is connected to a power source VD1 via a load L, a current-detecting transistor 2 the source and gate of which are commonly connected with respect to the transistor 1 and the drain of which is connected to a first transistor 3a, and a second transistor 3b which constitutes a current mirror circuit 3, together with the first transistor 3a and detects a current I1 of the output transistor 1, based on the current I3 flowing to the second transistor 3b. A resistor Z is provided between the power source VD2 and current mirror circuit 3 and a transistor 4, the drain of which is connected to the current mirror circuit 3 side of the resistor Z and the source of which is grounded, makes the drain voltages of the transistors 1 and 2 match with each other, by increasing or decreasing the current which is made to flow to the resistor Z, in accordance with the output of an operational amplifier OP. The amplifier OP can always control the gate voltage of the transistor 4 on the basis of the grounding potential, and this current-detecting circuit can be designed easily.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

U3-01115-TH (2)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-335998

(43)公開日 平成10年(1998)12月18日

(51)Int.Cl.⁶
H 03 K 17/08
G 01 R 19/00

識別記号

F I
H 03 K 17/08
G 01 R 19/00

C
B

審査請求 未請求 請求項の数8 O.L. (全 12 頁)

(21)出願番号 特願平9-148058

(22)出願日 平成9年(1997)6月5日

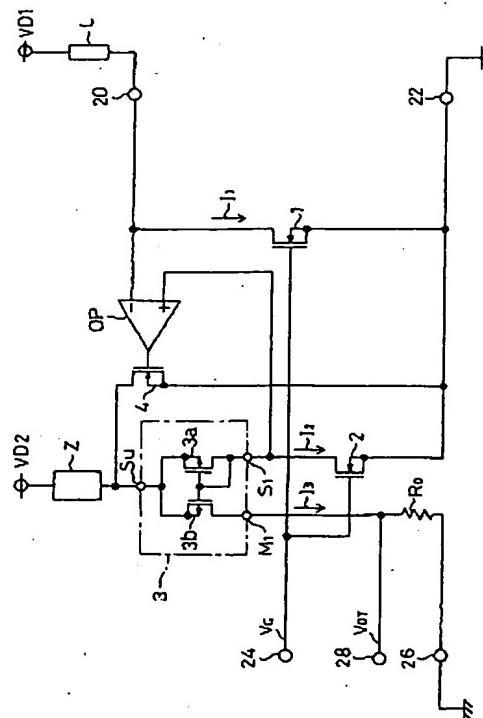
(71)出願人 000004260
株式会社デンソー
愛知県刈谷市昭和町1丁目1番地
(72)発明者 早川 順二
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内
(72)発明者 永田 淳一
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内
(74)代理人 弁理士 足立 勉

(54)【発明の名称】 電流検出回路

(57)【要約】

【課題】 検出精度が高く且つ設計が容易な電流検出回路を提供する。

【解決手段】 ソースが接地されドレンが負荷 Z を介して電源 $V_D 1$ に接続された出力トランジスタ1と、該トランジスタ1に対しソースとゲートが共通接続され、ドレンに第1トランジスタ3aが接続された電流検出用トランジスタ2と、第1トランジスタ3aと共に電流ミラー回路3を成す第2トランジスタ3bとを備え、出力トランジスタ1の電流 I_1 を第2トランジスタ3bに流れる電流 I_3 に基づき検出する電流検出回路にて、電源 $V_D 2$ と電流ミラー回路3との間に抵抗 Z を設け、ドレンが抵抗 Z の電流ミラー回路3側に接続されソースが接地されたトランジスタ4が、抵抗 Z に流す電流を演算増幅器OPの出力に応じて増減してトランジスタ1, 2の両ドレン電圧を一致させる。演算増幅器OPは常に接地電位を基準にトランジスタ4のゲート電圧を制御でき設計容易となる。



【特許請求の範囲】

【請求項1】 制御端子と第1出力端子及び第2出力端子とを有し、前記第1出力端子が所定の第1電圧に接続され、前記第2出力端子が前記第1電圧とは異なる第2電圧に電気負荷を介して接続された出力トランジスタと、

該出力トランジスタと同種且つ同極性であり、その第1出力端子が前記出力トランジスタの第1出力端子に接続され、その制御端子が前記出力トランジスタの制御端子に接続された電流検出用トランジスタと、

該電流検出用トランジスタの第2出力端子と前記第1電圧よりも前記第2電圧側の第3電圧との間の電流経路に、2つの出力端子が直列に接続された第1のトランジスタと、

該第1のトランジスタと共にカレントミラー回路を構成し、前記電流検出用トランジスタを介して前記第1のトランジスタに流れる電流に対し所定倍となる電流を流す第2のトランジスタと、

前記電流検出用トランジスタの第2出力端子の電圧を、前記出力トランジスタの第2出力端子の電圧に一致させる電圧制御手段とを備え、

前記出力トランジスタの両出力端子間に流れる電流を、前記第2のトランジスタに流れる電流に基づき検出するように構成された電流検出回路であって、

前記電圧制御手段は、

前記第1のトランジスタの前記電流検出用トランジスタとは反対側の出力端子と前記第3電圧との間に直列に接続され、自己に流れる電流に応じて前記第1のトランジスタとの接続点の電圧を変化させる電流供給負荷と、

反転入力端子が前記出力トランジスタの第2出力端子に接続され、非反転入力端子が前記電流検出用トランジスタの第2出力端子に接続された演算増幅器と、

MOSトランジスタからなり、ドレインが前記電流供給負荷と前記第1のトランジスタとの接続点に接続され、ソースが前記電流検出用トランジスタの第1出力端子に接続され、ゲートが前記演算増幅器の出力端子に接続されて、前記電流供給負荷に流す電流を前記演算増幅器の出力に応じて増減することにより前記電流供給負荷と前記第1のトランジスタとの接続点の電圧を制御して、前記電流検出用トランジスタの第2出力端子の電圧を前記出力トランジスタの第2出力端子の電圧に一致させる電圧制御用トランジスタと、

から構成されていることを特徴とする電流検出回路。

【請求項2】 請求項1に記載の電流検出回路において、

前記第2電圧は、前記第1電圧よりも高電位に設定されており、

前記電圧制御用トランジスタは、Nチャンネル型のMOSトランジスタであること、

を特徴とする電流検出回路。

【請求項3】 請求項1に記載の電流検出回路において、

前記第2電圧は、前記第1電圧よりも低電位に設定されており、

前記電圧制御用トランジスタは、Pチャンネル型のMOSトランジスタであること、

を特徴とする電流検出回路。

【請求項4】 請求項1に記載の電流検出回路において、

前記電圧制御用トランジスタは、MOSトランジスタに代えて、バイポーラトランジスタであり、そのコレクタが前記電流供給負荷と前記第1のトランジスタとの接続点に接続され、エミッタが前記電流検出用トランジスタの第1出力端子に接続され、ベースが前記演算増幅器の出力端子に接続されていること、

を特徴とする電流検出回路。

【請求項5】 請求項4に記載の電流検出回路において、

前記第2電圧は、前記第1電圧よりも高電位に設定されており、

前記電圧制御用トランジスタは、NPN型のバイポーラトランジスタであること、

を特徴とする電流検出回路。

【請求項6】 請求項4に記載の電流検出回路において、

前記第2電圧は、前記第1電圧よりも低電位に設定されており、

前記電圧制御用トランジスタは、PNP型のバイポーラトランジスタであること、

を特徴とする電流検出回路。

【請求項7】 請求項1ないし請求項6の何れかに記載の電流検出回路において、

前記電流供給負荷は、所定の抵抗値を有する抵抗器であること、

を特徴とする電流検出回路。

【請求項8】 請求項1ないし請求項6の何れかに記載の電流検出回路において、

前記電流供給負荷は、前記第1のトランジスタの前記電流検出用トランジスタとは反対側の出力端子と前記第3電圧との間に2つの出力端子が直列に接続されると共に、当該2つの出力端子間に流れる電流に制限が付与されたMOSトランジスタ又はバイポーラトランジスタであること、

を特徴とする電流検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、出力トランジスタに流れる電流を検出するための電流検出回路に関する。

【0002】

【従来の技術】 従来より、この種の電流検出回路とし

て、米国特許第5081379号及び特開昭62-247268号公報に開示されているものがある。即ち、上記公報に開示の電流検出回路は、図6に示す如く、ドレンが電源電圧（正の電位） V_D に接続され、ソースが電気負荷 L を介して接地電位（0V）に接続された、Nチャンネル型のMOSトランジスタからなる出力トランジスタQ1と、この出力トランジスタQ1と同種且つ同極性であり（つまり、Nチャンネル型のMOSトランジスタであり）、そのドレンが出力トランジスタQ1のドレンに接続され、そのゲートが出力トランジスタQ1のゲートに接続された電流検出用トランジスタQ2と、電流検出用トランジスタQ2のソースと接地電位との間の電流経路に、ドレンとソースが直列に接続されると共に、ドレンとゲートが互いに接続されたNチャンネル型のMOSトランジスタQ4と、このMOSトランジスタQ4と共にカレントミラー回路を構成するNチャンネル型のMOSトランジスタQ5と、を備えている。

【0003】更に、上記公報に開示の電流検出回路には、電流検出用トランジスタQ2のソース電圧を出力トランジスタQ1のソース電圧に一致させるための手段として、非反転入力端子（+）が出力トランジスタQ1のソースに接続され、反転入力端子（-）が電流検出用トランジスタQ2のソースに接続された演算増幅器OPと、電流検出用トランジスタQ2のソースとMOSトランジスタQ4のドレンとの間に、ソースとドレンが直列に接続され、ゲートが演算増幅器OPの出力端子に接続されたPチャンネル型のMOSトランジスタQ3と、が設けられている。

【0004】そして、この電流検出回路では、出力トランジスタQ1と電流検出用トランジスタQ2の両ゲートに共通のゲート電圧が印加されて、両トランジスタQ1、Q2に電流が流れると、演算増幅器OPの出力によって駆動されるMOSトランジスタQ3のドレン-ソース間電圧が、電流検出用トランジスタQ2のソース電圧と出力トランジスタQ1のソース電圧とが一致するよう変化する。

【0005】このため、出力トランジスタQ1と電流検出用トランジスタQ2における各端子間の電位差が全て等しくなって、電流検出用トランジスタQ2には、出力トランジスタQ1に流れる電流（即ち、電気負荷 L に流れる負荷電流） I_{Q1} に対し、電流検出用トランジスタQ2と出力トランジスタQ1とのトランジスタサイズの比に応じた電流 I_{Q2} が正確に流れることとなり、その電流 I_{Q2} がMOSトランジスタQ3を介してMOSトランジスタQ4に流れ。

【0006】すると、MOSトランジスタQ4と共にカレントミラー回路を構成するMOSトランジスタQ5には、電流検出用トランジスタQ2に流れる電流 I_{Q2} を所定倍した電流 i が流れることとなるため、この電流検出

回路では、MOSトランジスタQ5に流れる電流 i に基づいて、出力トランジスタQ1に流れる電流 I_{Q1} を検出するようしている。

【0007】

【発明が解決しようとする課題】このように、上記従来の電流検出回路では、演算増幅器OPと電圧制御用のMOSトランジスタQ3との作用により、電流検出用トランジスタQ2のソース電圧を出力トランジスタQ1のソース電圧に一致させることができ、その結果、出力トランジスタQ1に流れる電流 I_{Q1} を精度良く検出することができるるのであるが、以下の問題があった。

【0008】上記従来の電流検出回路では、演算増幅器OPが、電圧制御用のMOSトランジスタQ3のゲート-ソース間電圧を制御することで、電流検出用トランジスタQ2のソース電圧を出力トランジスタQ1のソース電圧に一致させるようしているが、MOSトランジスタQ3のソースは電流検出用トランジスタQ2のソースに接続されており、しかも、電流検出用トランジスタQ2のソース電圧は、基本的に出力トランジスタQ1の出力電圧 V_a であるソース電圧と一致しているため、演算増幅器OPは、MOSトランジスタQ3のゲートへ出力する電圧 V_b を、出力トランジスタQ1の出力電圧 V_a に依存して変化させなければならない。

【0009】つまり、演算増幅器OPは、出力トランジスタQ1の出力電圧 V_a が変化すると想定される全範囲の電圧を出力可能でなければならず、例えば、出力トランジスタQ1の出力電圧 V_a が1V以下から数十Vまで変化したならば、演算増幅器OPは、その変化に応じて、MOSトランジスタQ3のゲートへ出力する電圧 V_b を大きく変化させる必要がある。

【0010】よって、上記従来の電流検出回路では、演算増幅器OPの電源電圧及びその出力能力を設定するに当り、出力トランジスタQ1の出力電圧 V_a を意識しなければならず、回路設計の容易性に欠けていた。特に、出力トランジスタQ1の出力電圧 V_a が広範囲に変動する場合には、その範囲の電圧を出力可能な演算増幅器OPを用意しなければならず、回路構成を容易に実現することができなかった。

【0011】本発明は、こうした問題に鑑みなされたものであり、出力トランジスタに流れる電流を精度良く検出できる上に設計が容易な電流検出回路を提供することを目的としている。

【0012】

【課題を解決するための手段、及び発明の効果】本発明の電流検出回路においては、出力トランジスタの2つの出力端子のうち、第1出力端子が所定の第1電圧に接続され、第2出力端子が第1電圧とは異なる第2電圧に電気負荷を介して接続されている。

【0013】そして、出力トランジスタと同種且つ同極性であり、その第1出力端子が出力トランジスタの第1

出力端子に接続され、その制御端子が出力トランジスタの制御端子に接続された電流検出用トランジスタを備えており、この電流検出用トランジスタの第2出力端子には、カレントミラー回路の一部を成す第1のトランジスタの一方の出力端子が接続され、更に、第1のトランジスタの他方の出力端子（即ち、第1のトランジスタの電流検出用トランジスタとは反対側の出力端子）と、第1電圧よりも第2電圧側の第3電圧との間に、自己に流れる電流に応じて第1のトランジスタとの接続点の電圧を変化させる電流供給負荷が直列に接続されている。

尚、第3電圧は、第2電圧と同電位であっても良いし、異なる電位であっても良く、適宜設定可能である。

【0014】また、反転入力端子が出力トランジスタの第2出力端子に接続され、非反転入力端子が電流検出用トランジスタの第2出力端子に接続された演算増幅器を備えており、この演算増幅器の出力端子は、MOSトランジスタからなる電圧制御用トランジスタのゲートに接続されている。

【0015】そして、電圧制御用トランジスタの出力端子のうち、ドレンは電流供給負荷と第1のトランジスタとの接続点に接続され、ソースは電流検出用トランジスタの第1出力端子（即ち、第1電圧）に接続されている。つまり、電圧制御用トランジスタが、電流検出用トランジスタ及び第1のトランジスタをバイパスして、電流供給負荷に電流を流す構成を探っている。

【0016】このような本発明の電流検出回路では、電流供給負荷、演算増幅器、及び電圧制御用トランジスタにより、電流検出用トランジスタの第2出力端子の電圧を出力トランジスタの第2出力端子の電圧に一致させるための電圧制御手段が構成されており、出力トランジスタと電流検出用トランジスタの両制御端子に共通の駆動電圧が印加され、両トランジスタに電流が流れると、電圧制御用トランジスタが、電流供給負荷に流す電流を演算増幅器の出力に応じて増減することにより電流供給負荷と第1のトランジスタとの接続点の電圧を制御して、電流検出用トランジスタの第2出力端子の電圧を出力トランジスタの第2出力端子の電圧に一致させる。

【0017】すると、出力トランジスタと電流検出用トランジスタにおける各端子間の電位差が全て等しくなるため、電流検出用トランジスタには、出力トランジスタに流れる電流（即ち、電気負荷に流れる負荷電流）に対して、当該電流検出用トランジスタと出力トランジスタとのトランジスタサイズの比に応じた電流が正確に流れることとなり、この電流が第1のトランジスタに流れることとなる。

【0018】そして、第1のトランジスタと共にカレントミラー回路を構成する第2のトランジスタには、第1のトランジスタに流れる電流（即ち、電流検出用トランジスタに流れる電流）を所定倍した電流が流れることとなるため、この第2のトランジスタに流れる電流に基づく

いて、出力トランジスタの両出力端子間に流れる電流が検出される。

【0019】特に、カレントミラー回路では、カレントミラー回路を構成する第1及び第2のトランジスタの温度特性が相殺される。よって、温度変化に影響されず、且つ、出力トランジスタと電流検出用トランジスタの動作点を一致させて、極めて精度良く電流検出を行うことができるようになる。

【0020】尚、第1のトランジスタに流れる電流と第2のトランジスタに流れる電流との比（上記所定倍）は、第1及び第2の両トランジスタのトランジスタサイズによって決まるカレントミラー回路のカレントミラービーであり、様々な値に適宜設定することができる。

【0021】このような本発明の電流検出回路においては、カレントミラー回路を構成する第1のトランジスタの電流検出用トランジスタとは反対側の出力端子と第3電圧との間に、電流供給負荷を直列に接続すると共に、電圧制御用トランジスタにより、電流検出用トランジスタ及び第1のトランジスタをバイパスして、電流供給負荷に流れる電流を増減することで、電流検出用トランジスタの第2出力端子と出力トランジスタの第2出力端子とを同電位に保つようにしている。そして、電圧制御用トランジスタのソースが電流検出用トランジスタの第1出力端子（即ち、第1電圧）に接続されているため、電圧制御用トランジスタのソース電圧は一定の第1電圧となり、演算増幅器は、常に第1電圧を基準として、電圧制御用トランジスタのゲートに電圧を出力すれば良い。

【0022】よって、本発明の電流検出回路によれば、演算増幅器の電源電圧及びその出力能力を設定する際に、前述した従来回路の如く出力トランジスタの出力電圧（即ち、第2出力端子の電圧）を意識する必要がなく、回路設計が非常に容易となる。そして、出力トランジスタの出力電圧が大きく変動する場合でも、そのような広範囲の電圧を出力可能な演算増幅器を、特別に用意する必要がない。

【0023】尚、電圧制御用トランジスタとしては、MOSトランジスタに代えて、バイポーラトランジスタを用いることもできる。そして、この場合には、コレクタを電流供給負荷と第1のトランジスタとの接続点に接続し、エミッタを電流検出用トランジスタの第1出力端子に接続し、ベースを演算増幅器の出力端子に接続すれば良い。

【0024】また、第2電圧が第1電圧よりも高電位に設定されている場合、即ち、出力トランジスタを電気負荷よりも低電位側に接続したロウサイド接続の場合には、電圧制御用トランジスタとして、Nチャンネル型のMOSトランジスタ或いはNPN型のバイポーラトランジスタを用いれば良い。逆に、第2電圧が第1電圧よりも低電位に設定されている場合、即ち、出力トランジスタを電気負荷よりも高電位側に接続したハイサイド接続

の場合には、電圧制御用トランジスタとして、Pチャンネル型のMOSトランジスタ或いはPNP型のバイポーラトランジスタを用いれば良い。

【0025】一方、電流供給負荷としては、所定の抵抗値を有する抵抗器を用いることができる。また、電流供給負荷として、第1のトランジスタの電流検出用トランジスタとは反対側の出力端子と第3電圧との間に2つの出力端子が直列に接続されると共に、その2つの出力端子間に流れる電流に制限が付与された、MOSトランジスタ又はバイポーラトランジスタを用いても良い。

【0026】一方更に、出力トランジスタ及び電流検出用トランジスタと、カレントミラーアンプ回路を構成する第1及び第2のトランジスタは、MOSトランジスタであっても良いし、或いは、バイポーラトランジスタであっても良い。

【0027】

【発明の実施の形態】以下、本発明の実施形態について図面を用いて説明する。尚、本発明の実施形態は、下記のものに何ら限定されることなく、本発明の技術的範囲に属する限り、種々の形態を採り得ることは言うまでもない。

【0028】【第1実施形態】まず図1は、第1実施形態の電流検出回路を表す回路図である。図1に示すように、第1実施形態の電流検出回路は、ソースが第1電圧としての接地電位($GND = 0V$)に接続され、ドレンが電気負荷Lを介して接地電位よりも高い第2電圧としての電源電圧 VD_1 に接続された出力トランジスタ1と、この出力トランジスタ1と同種且つ同極性であり、ソースとゲートが出力トランジスタ1のソースとゲートに夫々接続された電流検出用トランジスタ2と、ドレンとゲートが互いに接続されると共に、そのドレンが電流検出用トランジスタ2のドレンに接続された第1のトランジスタ3'aと、ゲートとソースが第1のトランジスタ3'aのゲートとソースに夫々接続されて、この第1のトランジスタ3'aと共にカレントミラーアンプ回路3を構成する第2のトランジスタ3'bと、第1及び第2のトランジスタ3'a, 3'bのソースと接地電位よりも高い第3電圧としての電源電圧 VD_2 との間に直列に接続された、電流供給負荷としての抵抗器Zとを備えている。

【0029】尚、本第1実施形態では、第1電圧を接地電位($= 0V$)としているが、接地電位に限るものではない。また、電源電圧 VD_2 は、電源電圧 VD_1 と同電位であっても良いし、異なる電位であっても良い。一方、カレントミラーアンプ回路3では、第1及び第2のトランジスタ3'a, 3'bのソースが、カレントミラーアンプ回路にて共通の電流が流れ共通端子 S_u となっており、第1のトランジスタ3'aのドレンが、カレントミラーアンプ回路にて基準となる電流が流れ基準電流端子 S_1 となっており、第2のトランジスタ3'bのドレンが、カレントミラーアンプ回路にて基準電流端子 S_1 に流れ電流に対し所定

倍となるミラー電流を流すミラー電流端子 M_1 となっている。

【0030】そして更に、第1実施形態の電流検出回路は、反転入力端子(-)が出力トランジスタ1のドレンに接続され、非反転入力端子(+)が電流検出用トランジスタ2のドレンに接続された演算增幅器OPと、ドレンが抵抗器Zと第1のトランジスタ3'aとの接続点(即ち、カレントミラーアンプ回路3の共通端子 S_u)に接続され、ソースが電流検出用トランジスタ2のソース(即ち、接地電位)に接続され、ゲートが演算增幅器OPの出力端子に接続された電圧制御用トランジスタ4と、第2のトランジスタ3'bのドレン(即ち、カレントミラーアンプ回路3のミラー電流端子 M_1)と接地電位との間に直列に接続された、電流検出用抵抗器R0とを備えている。

【0031】ここで、本実施形態の電流検出回路では、出力トランジスタ1、電流検出用トランジスタ2、及び電圧制御用トランジスタ4として、Nチャンネル型のMOSトランジスタを用い、第1のトランジスタ3'a及び第2のトランジスタ3'bとして、Pチャンネル型のMOSトランジスタを用いている。つまり、本第1実施形態では、Nチャンネル型MOSトランジスタによるロウサイド接続の構成を探っている。

【0032】一方、本第1実施形態では、出力トランジスタ1のドレンが、端子20を介して電気負荷Lの電源電圧 VD_1 とは反対側に接続されており、出力トランジスタ1のソースが、端子22を介して接地電位に接続されている。そして、出力トランジスタ1と電流検出用トランジスタ2の共通接続されたゲートには、当該電流検出回路の外部から端子24を介して、ゲート電圧 VG が供給されるようになっている。また、電流検出用抵抗器R0の両端のうち、第2のトランジスタ3'bのドレンに接続された方は、電流検出用の端子28に接続されており、第2のトランジスタ3'bに接続されない方は、端子26を介して接地電位に接続されている。

【0033】次に、上記のように構成された電流検出回路の動作について説明する。まず、端子24にゲート電圧 VG を供給せず、端子24の電圧を0Vにした場合には、出力トランジスタ1は、そのゲート-ソース間電圧が0Vになるため、完全なオフ状態となり、電気負荷Lには電流が流れない。

【0034】一方、端子24にゲート電圧 VG を供給すると、電源電圧 VD_1 から出力トランジスタ1(ドレン→ソース)を介して、電気負荷Lに電流 I_1 が流れ。そして、電源電圧 VD_2 から抵抗器Z及び第1のトランジスタ3'aを介して、電流検出用トランジスタ2にも電流 I_2 が流れることとなるが、この時には、抵抗器Z、演算增幅器OP、及び電圧制御用トランジスタ4の作用により、出力トランジスタ1と電流検出用トランジスタ2の両ドレンが同電位に保たれる。

【0035】具体的には、電流検出用トランジスタ2のドレイン電圧が出力トランジスタ1のドレイン電圧よりも高くなると、演算増幅器OPの出力電圧が上昇して、電圧制御用トランジスタ4のオン抵抗が小さくなり、抵抗器Zから電圧制御用トランジスタ4を介して接地電位に流れる電流が増加する。すると、抵抗器Zと第1のトランジスタ3aとの接続点(カレントミラー回路3の共通端子Su)の電圧が低下して、電流検出用トランジスタ2のドレイン電圧も低下し、この結果、両トランジスタ1, 2のドレインが同電位に保たれる。

【0036】逆に、電流検出用トランジスタ2のドレイン電圧が出力トランジスタ1のドレイン電圧よりも低くなると、演算増幅器OPの出力電圧が低下して、電圧制御用トランジスタ4のオン抵抗が大きくなり、抵抗器Zから電圧制御用トランジスタ4を介して接地電位に流れる電流が減少する。すると、抵抗器Zと第1のトランジスタ3aとの接続点の電圧が上昇して、電流検出用トランジスタ2のドレイン電圧も上昇し、この結果、両トランジスタ1, 2のドレインが同電位に保たれる。

【0037】即ち、本第1実施形態では、電圧制御用トランジスタ4が、抵抗器Zに流す電流を演算増幅器OPの出力に応じて増減することにより、抵抗器Zと第1のトランジスタ3aとの接続点の電圧を制御して、電流検出用トランジスタ2のドレイン電圧を出力トランジスタ1のドレイン電圧に一致させる。

【0038】すると、出力トランジスタ1と電流検出用トランジスタ2における各端子間の電位差が全て等しくなって、両トランジスタ1, 2は、飽和／非飽和の全動作領域にて、その動作点が一致するため、電流検出用トランジスタ2には、出力トランジスタ1に流れる電流(即ち、電気負荷に流れる負荷電流)I1に対して、当該電流検出用トランジスタ2と出力トランジスタ1とのトランジスタサイズの比に応じた電流I2が正確に流れることとなり、この電流I2が第1のトランジスタ3aにも流れる。

【0039】そして、第1のトランジスタ3aと共にカレントミラー回路3を構成する第2のトランジスタ3bには、第1のトランジスタ3aに流れる電流(即ち、電流検出用トランジスタ2に流れる電流)I2を所定倍した電流I3が流れることとなり、この電流I3が電流検出用抵抗器R0に流れて生じる端子28の電圧VDTを監視することで、出力トランジスタ1のドレンソース間に流れる電流I1が検出される。

【0040】尚、第1のトランジスタ3aに流れる電流I2と第2のトランジスタ3bに流れる電流I3との比(上記所定倍)は、第1及び第2の両トランジスタ3a, 3bのトランジスタサイズによって決まるカレントミラー回路3のカレントミラー比である。

【0041】このような第1実施形態の電流検出回路において、出力トランジスタ1と電流検出用トランジスタ

2とのトランジスタサイズの比をm:1とすると、出力トランジスタ1に流れる電流I1と電流検出用トランジスタ2に流れる電流I2との関係は、下記の式1のようになる。

【0042】

$$[数1] I_1 = m \times I_2 \quad \cdots (式1)$$

また、カレントミラー回路3のカレントミラー比を1:n(=n倍)とすると、第2のトランジスタ3b及び電流検出用抵抗器R0に流れる電流I3は、下記の式2のようになる。

【0043】

$$[数2] I_3 = n \times I_2 \quad \cdots (式2)$$

よって、上記式1及び式2より、端子28の電圧VDTは、下記の式3の如く表される。尚、式3において「R0」は、電流検出用抵抗器R0の抵抗値である。

【0044】

$$[数3] VDT = (n/m) \times R0 \times I_1 \quad \cdots (式3)$$

式3から分かるように、端子28の電圧VDTは、出力トランジスタ1に流れる電流I1に比例すると共に、その比例定数は、出力トランジスタ1と電流検出用トランジスタ2のトランジスタサイズ比mと、カレントミラー回路3のカレントミラー比nと、電流検出用抵抗器R0の抵抗値だけに依存し、他の条件には関係が無いことが分かる。

【0045】そして、カレントミラー回路3では、第1及び第2のトランジスタ3a, 3bの温度特性が相殺され、また、出力トランジスタ1と電流検出用トランジスタ2においても、互いの温度特性が相殺されるため、温度変化に影響されずに、上記式1～式3が成立する。

【0046】よって、電流検出用抵抗器R0として、抵抗値精度及び温度特性に優れたものを用いれば、出力トランジスタ1に流れる電流I1を極めて精度良く検出することができる。以上詳述したように本第1実施形態の電流検出回路では、カレントミラー回路3を構成する第1及び第2のトランジスタ3a, 3bの温度特性が相殺され、しかも、出力トランジスタ1と電流検出用トランジスタ2では、抵抗器Z, 演算増幅器OP, 及び電圧制御用トランジスタ4の作用により、各端子間の電位差が全て等しくなる。

【0047】よって、この電流検出回路によれば、出力トランジスタ1に流れる電流I1を、温度変化に影響されず、且つ、出力トランジスタ1と電流検出用トランジスタ2の動作点を一致させて、極めて精度良く検出することができる。

【0048】そして特に、本第1実施形態の電流検出回路においては、カレントミラー回路3の共通端子Su

(第1のトランジスタ3aのソース)と電源電圧VD2との間に、抵抗器Zを直列に接続すると共に、電圧制御用トランジスタ4により、電流検出用トランジスタ2及び第1のトランジスタ3aをバイパスして、抵抗器Zに

流れる電流を増減させることで、電流検出用トランジスタ2のドレインと出力トランジスタのドレインとを同電位に保つようによっている。そして、電圧制御用トランジスタ4のソースが電流検出用トランジスタ2のソース（即ち、接地電位）に接続されているため、電圧制御用トランジスタ4のソース電圧は接地電位となり、演算増幅器OPは、常に接地電位を基準として、電圧制御用トランジスタ4のゲートに電圧を出力すれば良い。

【0049】例えば、出力トランジスタ1の出力電圧（本実施形態ではドレイン電圧）が、1V以下から数十Vまで変化したとしても、演算増幅器OPは、電圧制御用トランジスタ4のゲート電圧を数V程度の範囲で変化させれば良いのである。よって、本第1実施形態の電流検出回路によれば、演算増幅器OPの電源電圧及びその出力能力を設定する際に、従来回路の如く出力トランジスタ1の出力電圧を意識する必要がなく、回路設計が非常に容易となる。そして、出力トランジスタ1の出力電圧が大きく変動する場合でも、そのような広範囲の電圧を出力可能な演算増幅器OPを、特別に用意する必要がない。

【0050】「第2実施形態」次に、図2は、第2実施形態の電流検出回路を表す回路図である。図2に示すように、第2実施形態の電流検出回路は、前述した第1実施形態の電流検出回路に対して、下記の（1）及び（2）の2点が異なっており、その他については全く同様である。

【0051】（1）Nチャンネル型のMOSトランジスタからなる電圧制御用トランジスタ4に代えて、NPN型のバイポーラトランジスタからなる電圧制御用トランジスタ5が設けられている。そして、この電圧制御用トランジスタ5は、コレクタがカレントミラー回路3の共通端子Suに接続され、エミッタが電流検出用トランジスタ2のソース（即ち、接地電位）に接続され、ベースが演算増幅器OPの出力端子に接続されている。

【0052】（2）抵抗器Zに代えて、電源電圧VD2からカレントミラー回路3に電流を供給するための電流供給回路6が設けられている。そして、この電流供給回路6は、コレクタとベースが互いに接続されると共に、エミッタが電源電圧VD2に接続されたPNP型のバイポーラトランジスタ6aと、このトランジスタ6aのコレクタと接地電位との間に接続されて、トランジスタ6aから接地電位へ一定電流Iaを流す定電流素子6bと、エミッタが電源電圧VD2に接続され、コレクタがカレントミラー回路3の共通端子Suに接続され、ベースがトランジスタ6aのベースに接続されたPNP型のバイポーラトランジスタ6cと、から構成されている。

【0053】このような第2実施形態の電流検出回路においては、電流供給回路6のトランジスタ6cを介して、電源電圧VD2からカレントミラー回路3の共通端子Suに電流が供給されることとなるが、トランジスタ

6cに流れる電流（コレクターエミッタ間電流）が増加する程、そのコレクターエミッタ間電圧が大きくなる。また、トランジスタ6cに流れる電流は、定電流素子6bに流れる一定電流Iaに応じた値（詳しくは、一定電流Iaを両トランジスタ6a, 6cのトランジスタサイズ比倍した値）に制限される。

【0054】よって、本第2実施形態の電流検出回路においても、電圧制御用トランジスタ5が、演算増幅器OPの出力に応じて、電流供給回路6のトランジスタ6cに流れる電流を増減することにより、トランジスタ6cと第1のトランジスタ3aとの接続点（カレントミラー回路3の共通端子Su）の電圧を制御して、電流検出用トランジスタ2のドレイン電圧を出力トランジスタ1のドレイン電圧に一致させることができ、しかも、トランジスタ6cに流れる電流には制限が付与されているため、抵抗器Zを用いた場合と同様に、電圧制御用トランジスタ5を保護することができる。

【0055】このため、本第2実施形態の電流検出回路によっても、第1実施形態のものと全く同様に、出力トランジスタ1に流れる電流を精度良く検出できると共に、演算増幅器OPの電源電圧及びその出力能力を設定する際に、出力トランジスタ1の出力電圧を意識する必要がなく、回路設計が非常に容易となる。

【0056】尚、電流供給回路6を構成するトランジスタ6a, 6cとしては、バイポーラトランジスタに代えて、MOSトランジスタを用いるようにしても良い。一方、図1に示した第1実施形態の電流検出回路に対し、電圧制御用トランジスタ4だけをNPN型のバイポーラトランジスタに代えても良いし、また、抵抗器Zだけを図2に示した電流供給回路6に代えるようにしても良い。

【0057】【第3実施形態】次に、図3は、第3実施形態の電流検出回路を表す回路図である。図3に示すように、第3実施形態の電流検出回路は、前述した第1実施形態の電流検出回路に対して、下記の（A）～（C）の3点が異なっており、その他については全く同様である。

【0058】（A）カレントミラー回路3に代えて、Nチャンネル型のMOSトランジスタからなる第3のトランジスタ3cを追加したカレントミラー回路3'が設けられており、第3のトランジスタ3cは、第2のトランジスタ3bと同様に、ゲートとソースが第1のトランジスタ3aのゲートとソースに夫々接続されている。そして、この第3のトランジスタ3cのドレインが、当該カレントミラー回路3'にて第1のトランジスタ3aに流れる電流に対し所定倍となるミラー電流を流す第2のミラー電流端子M2となっている。

【0059】尚、第1のトランジスタ3aに流れる電流I2と第3のトランジスタ3cに流れる電流I3'との比（上記所定倍）は、第1及び第3の両トランジスタ3

a, 3 c のトランジスタサイズによって決まるカレントミラー比である。

(B) 端子 24 と出力トランジスタ 1 及び電流検出用トランジスタ 2 のゲートとの間に、抵抗器 R1 が直列に接続されており、両トランジスタ 1, 2 のゲートには、端子 24 から抵抗器 R1 を介してゲート電圧 VG が供給される。

【0060】(C) カレントミラー回路 7 が追加されている。そして、このカレントミラー回路 7 は、ドレインとゲートが互いに接続されると共に、そのドレインがカレントミラー回路 3' の第 2 のミラー電流端子 M2 (即ち、第 3 のトランジスタ 3 c のドレイン) に接続され、ソースが端子 26 を介して接地電位に接続された N チャンネル型の MOS トランジスタ 7 a と、ゲートとソースが上記 MOS トランジスタ 7 a のゲートとソースに夫々接続され、ドレインが出力トランジスタ 1 及び電流検出用トランジスタ 2 のゲートに接続された N チャンネル型の MOS トランジスタ 7 b と、カレントミラー回路 3' の第 2 のミラー電流端子 M2 から MOS トランジスタ 7 a に流れる電流 I3' が所定値以上になった時にだけ MOS トランジスタ 7 b をオンさせるために、上記両 MOS トランジスタ 7 a, 7 b のゲートとソースとの間に接続された抵抗器或いは定電流素子からなる閾値電流設定素子 7 c と、から構成されている。

【0061】このような第 3 実施形態の電流検出回路においては、出力トランジスタ 1 に流れる電流 I1 に比例した電流 I3' が、カレントミラー回路 3' の第 2 のミラー電流端子 M2 からカレントミラー回路 7 の MOS トランジスタ 7 a に流れ、その電流 I3' が閾値電流設定素子 7 c によって決定される所定値以上になると、カレントミラー回路 7 の MOS トランジスタ 7 b がオンして、端子 24 から抵抗器 R1 を介して接地電位へ電流 I7 が引き込まれる。すると、出力トランジスタ 1 及び電流検出用トランジスタ 2 のゲート-ソース間電圧が低下して、両トランジスタ 1, 2 に流れる電流が制限される。

【0062】このため、本第 3 実施形態の電流検出回路によれば、第 1 実施形態の電流検出回路による効果だけではなく、出力トランジスタ 1 に流れる電流 I1 が何等かの原因で異常に増加した時は、出力トランジスタ 1 及び電流検出用トランジスタ 2 に流れる電流を制限して、過電流に対する回路保護を速やかに行うことができるようになる。

【0063】【第 4 実施形態】次に、図 4 は、第 4 実施形態の電流検出回路を表す回路図である。図 4 に示すように、第 4 実施形態の電流検出回路は、前述した第 1 実施形態の電流検出回路に対して、下記の (a) ~ (c) の 3 点が異なっており、その他については全く同様である。

【0064】(a) ドレインが出力トランジスタ 1 のドレインに接続された、N チャンネル型の MOS トランジ

スタ 9 が追加されている。

(b) カレントミラー回路 10 が追加されている。そして、このカレントミラー回路 10 は、ドレインとゲートが互いに接続されると共に、そのドレインが MOS トランジスタ 9 のソースに接続され、ソースが端子 22 を介して接地電位に接続された N チャンネル型の MOS トランジスタ 10 a と、ゲートとソースが上記 MOS トランジスタ 10 a のゲートとソースに夫々接続され、ドレインが出力トランジスタ 1 及び電流検出用トランジスタ 2 のゲートに接続された N チャンネル型の MOS トランジスタ 10 b と、MOS トランジスタ 9 から MOS トランジスタ 10 a に流れる電流 I9 が所定値以上になった時にだけ MOS トランジスタ 10 b をオンさせるために、上記両 MOS トランジスタ 10 a, 10 b のゲートとソースとの間に接続された抵抗器或いは定電流素子からなる閾値電流設定素子 10 c と、から構成されている。

【0065】(c) 端子 24 に抵抗器 R2 の一端が接続されており、抵抗器 R2 の他端に N チャンネル型の MOS トランジスタ 8 のドレイン及びゲートが接続されており、更に、MOS トランジスタ 8 のソースが、出力トランジスタ 1 及び電流検出用トランジスタ 2 のゲートに接続されている。また、抵抗器 R2 の端子 24 とは反対側

(即ち、MOS トランジスタ 8 のドレイン及びゲート) は、MOS トランジスタ 9 のゲートに接続されている。このため、MOS トランジスタ 9 のゲートには、端子 24 から抵抗器 R2 を介してゲート電圧が供給され、出力トランジスタ 1 及び電流検出用トランジスタ 2 の両ゲートには、端子 24 から抵抗器 R2 及び MOS トランジスタ 8 のドレイン-ソースを介してゲート電圧 VG が供給される。

【0066】尚、MOS トランジスタ 8 を設けているのは、出力トランジスタ 1 及び電流検出用トランジスタ 2 のゲート-ソース間電圧と、MOS トランジスタ 9 のゲート-ソース間電圧とを等しくするためである。このような第 4 実施形態の電流検出回路においては、出力トランジスタ 1 に流れる電流 I1 に応じた電流 I9 が、MOS トランジスタ 9 からカレントミラー回路 10 の MOS トランジスタ 10 a に流れ、その電流 I9 が閾値電流設定素子 10 c によって決定される所定値以上になると、カレントミラー回路 10 の MOS トランジスタ 10 b がオンして、端子 24 から抵抗器 R2 及び MOS トランジスタ 8 を介して接地電位へ電流 I10 が引き込まれる。すると、出力トランジスタ 1 及び電流検出用トランジスタ 2 のゲート-ソース間電圧が低下して、両トランジスタ 1, 2 に流れる電流が制限される。

【0067】このため、本第 4 実施形態の電流検出回路によても、第 3 実施形態の電流検出回路と同様に、出力トランジスタ 1 に流れる電流 I1 が異常に増加した時は、出力トランジスタ 1 及び電流検出用トランジスタ 2 に流れる電流を制限して、過電流に対する回路保護を速

やかに行うことができる。

【0068】〔第5実施形態〕ところで、前述した各実施形態の電流検出回路は、出力トランジスタ1を電気負荷Lよりも低電位側に接続したロウサイド接続のものであったが、次に、第5実施形態として、出力トランジスタ1を電気負荷Lよりも高電位側に接続するハイサイド接続の構成を採用した電流検出回路について説明する。

【0069】図5に示すように、第5実施形態の電流検出回路は、第1実施形態の電流検出回路に対して、下記の(α)～(γ)の3点が異なっており、その他については全く同様である。

(α) 出力トランジスタ1、電流検出用トランジスタ2、及び電圧制御用トランジスタ4として、Pチャンネル型のMOSトランジスタを用いている。

(β) カレントミラー回路3を構成する第1及び第2のトランジスタ3a、3bとして、Nチャンネル型のMOSトランジスタを用いている。

【0070】(γ) 出力トランジスタ1のソースが、端子20を介して第1電圧としての電源電圧VD1に接続されている。そして、電気負荷Lの一端が第2電圧としての接地電位に接続されており、出力トランジスタ1のドレインが、端子22を介して電気負荷Lの接地電位とは反対側の端部に接続されている。

【0071】また、抵抗器Zの両端のうち、第1及び第2のトランジスタ3a、3bのソースに接続されない方が、接地電位に接続されており、電流検出用抵抗器R0の両端のうち、第2のトランジスタ3bのドレインに接続されない方が、端子26を介して電源電圧VD2に接続されている。尚、本第5実施形態では、抵抗器Zが接続される第3電圧として接地電位を用いているが、第1電圧としての電源電圧VD1よりも低い接地電位以外の電圧に抵抗器Zを接続するようにしても良い。

【0072】このような第5実施形態の電流検出回路は、第1実施形態の電流検出回路に対し、各部に流れる電流の方向が逆になるだけで全く同様に動作する。そして、抵抗器Z、演算増幅器OP、及び電圧制御用トランジスタ4の作用により、出力トランジスタ1と電流検出用トランジスタ2の両ドレインが同電位に保たれる。

【0073】即ち、電流検出用トランジスタ2のドレイン電圧が出力トランジスタ1のドレイン電圧よりも高くなると、演算増幅器OPの出力電圧が上昇して、電圧制御用トランジスタ4のオン抵抗が大きくなり、電源電圧VD1から電圧制御用トランジスタ4を介して抵抗器Zに流れる電流が減少する。すると、抵抗器Zと第1のトランジスタ3aとの接続点(カレントミラー回路3の共通端子Su)の電圧が低下して、電流検出用トランジスタ2のドレイン電圧も低下し、この結果、両トランジスタ1、2のドレインが同電位に保たれる。

【0074】逆に、電流検出用トランジスタ2のドレイン電圧が出力トランジスタ1のドレイン電圧よりも低く

なると、演算増幅器OPの出力電圧が低下して、電圧制御用トランジスタ4のオン抵抗が小さくなり、電源電圧VD1から電圧制御用トランジスタ4を介して抵抗器Zに流れる電流が増加する。すると、抵抗器Zと第1のトランジスタ3aとの接続点の電圧が上昇して、電流検出用トランジスタ2のドレイン電圧も上昇し、この結果、両トランジスタ1、2のドレインが同電位に保たれる。

【0075】そして、この電流検出回路によれば、演算増幅器OPは、常に電源電圧VD1を基準として、電圧制御用トランジスタ4のゲートに電圧を出力すれば良く、第1実施形態の電流検出回路と同様の効果を得ることができる。尚、本第5実施形態において、電圧制御用トランジスタ4としては、Pチャンネル型のMOSトランジスタに代えて、PNP型のバイポーラトランジスタを用いることもできる。

【0076】「その他の変形例」前記した各実施形態では、出力トランジスタ1及び電流検出用トランジスタ2として、MOSトランジスタを用いたが、バイポーラトランジスタやMIS(Metal-Insulator-Semiconductor)トランジスタを用いるようにしても良い。尚、図4に示した第4実施形態の電流検出回路において、出力トランジスタ1及び電流検出用トランジスタ2をバイポーラトランジスタとした場合には、トランジスタ9としてバイポーラトランジスタを用いれば良い。

【0077】また、前述した各実施形態におけるカレントミラー回路3、3'、7、10についても、MOSトランジスタに代えて、バイポーラトランジスタを用いて構成したり、或いは、他の構成のカレントミラー回路を用いることができる。尚、第4実施形態の電流検出回路において、カレントミラー回路10をバイポーラトランジスタで構成した場合には、トランジスタ8としてバイポーラトランジスタを用いれば良い。

【図面の簡単な説明】

【図1】 第1実施形態の電流検出回路を表す回路図である。

【図2】 第2実施形態の電流検出回路を表す回路図である。

【図3】 第3実施形態の電流検出回路を表す回路図である。

【図4】 第4実施形態の電流検出回路を表す回路図である。

【図5】 第5実施形態の電流検出回路を表す回路図である。

【図6】 従来の電流検出回路を表す回路図である。

【符号の説明】

1…出力トランジスタ 2…電流検出用トランジスタ
3, 3'…カレントミラー回路 3a…第1のトランジスタ
3b…第2のトランジスタ 4, 5…電圧制御用トランジスタ

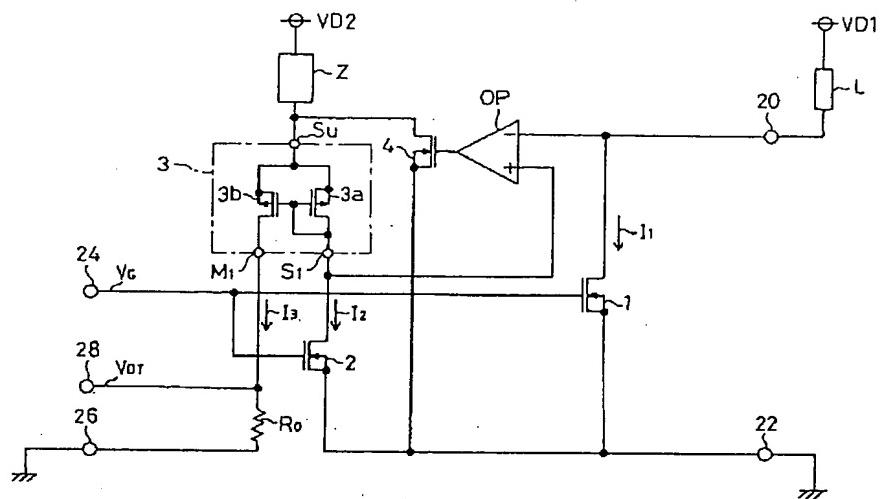
50

17

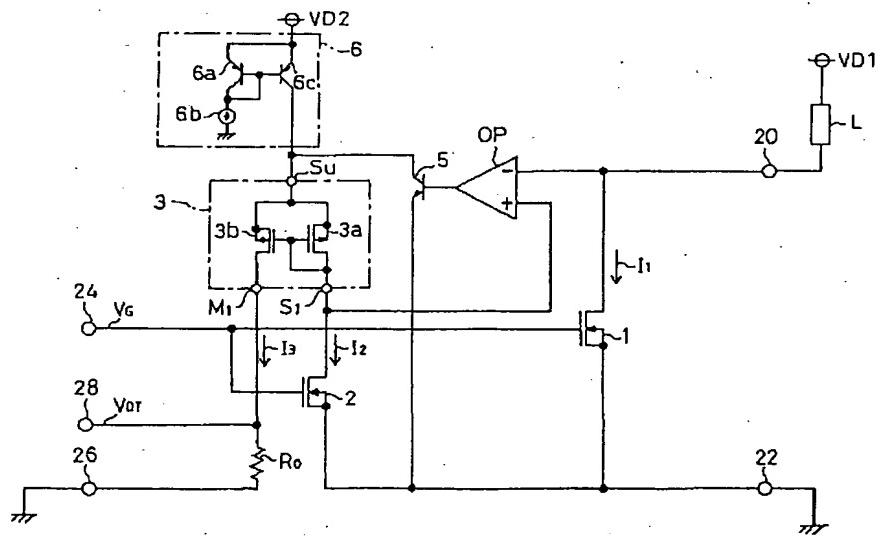
18

6 … 電流供給回路
6 a, 6 c … バイポーラトランジ
* L … 電気負荷
スタ R0 … 電流検出用抵抗器
6 b … 定電流素子 Z … 抵抗器 O P … 演算増幅器*

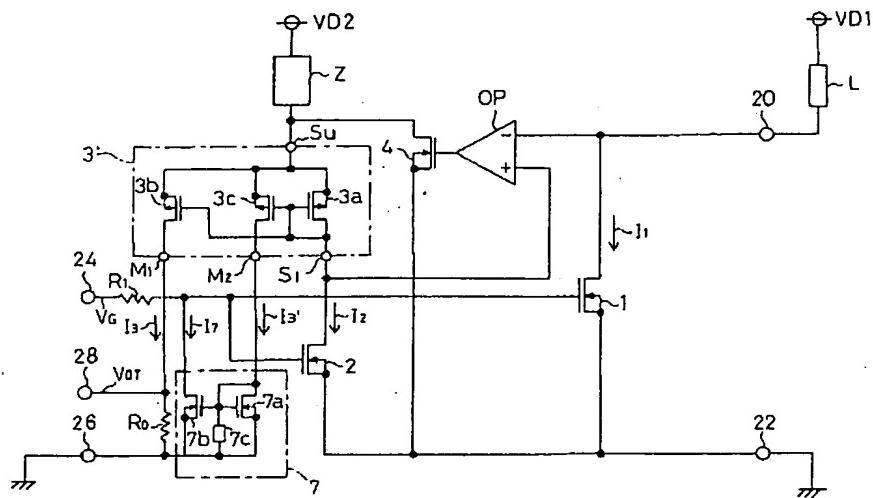
【図 1】



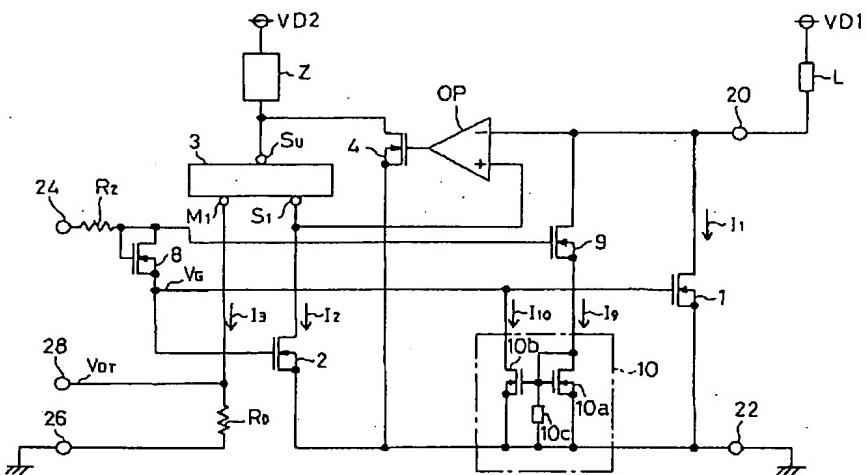
【図 2】



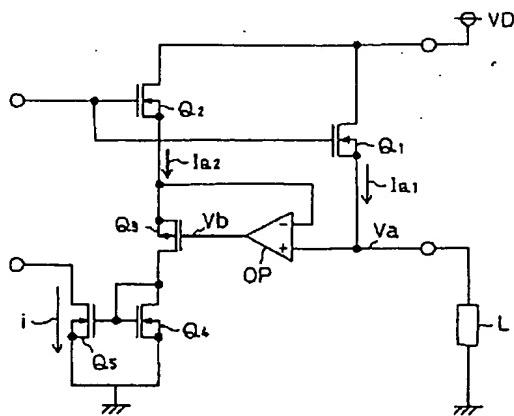
【四三】



【図4】



【図6】



【図5】

